

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-190582

(43)Date of publication of application : 05.07.2002

(51)Int.Cl. H01L 27/108
H01L 21/8242

(21)Application number : 2000-388791 (71)Applicant : MITSUBISHI ELECTRIC CORP

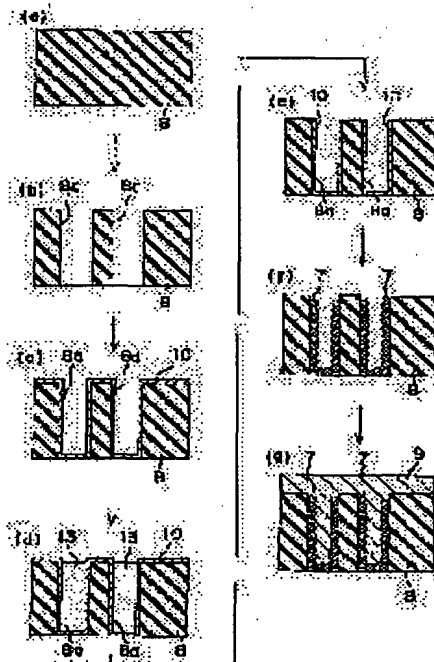
(22)Date of filing : 21.12.2000 (72)Inventor : KINUGASA AKINORI

(54) SEMICONDUCTOR MEMORY AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory, together with its manufacturing method, which has a memory cell structure wherein a storage electrode film is surely removed, to decrease the fraction defective of memory.

SOLUTION: The method for manufacturing a semiconductor memory is for one comprising a memory cell structure, where a storage node in which a storage electrode film formed inside a hole of an interlayer insulating film deposited on a substrate is roughened, constitutes a capacitor in corporation with a cell plate via a dielectric film. A hole is formed in the thickness direction of the interlayer insulating film, and a storage electrode film is formed inside the hole and on the upper surface side of the interlayer insulating film. Such a storage electrode film being exposed on the upper surface side of the interlayer insulating film is removed, and the storage electrode film formed inside the hole is roughened, to form the cell plate in the hole as well as on the upper side of the interlayer insulating film, and here the storage electrode film exposed from the upper surface side of the interlayer insulating film is removed, before the storage electrode film formed inside the hole is roughened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号
特開2002-190582
(P 2002-190582 A)
(43)公開日 平成14年7月5日(2002.7.5)

(51)Int.Cl.⁷ 識別記号 F I テーマコード (参考)
H01L 27/108 H01L 27/10 621 C 5F083
21/8242 651

審査請求 未請求 請求項の数6 O L (全9頁)

(21)出願番号 特願2000-388791(P 2000-388791)

(22)出願日 平成12年12月21日(2000.12.21)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 衣笠 彰則

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100062144

弁理士 青山 葆 (外1名)

Fターム(参考) 5F083 AD24 AD31 AD48 AD61 GA09

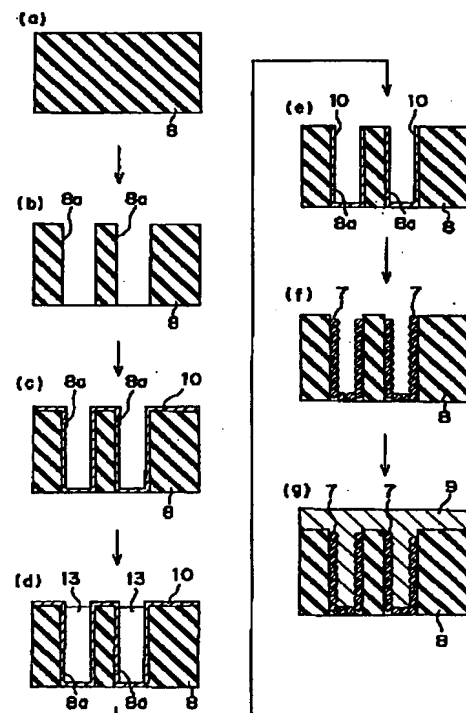
JA06 JA33 NA08

(54)【発明の名称】 半導体メモリ及びその製造方法

(57)【要約】

【課題】 蓄積電極膜を確実に除去して、メモリの不良率の低減を実現するメモリセル構造を有する半導体メモリ及びその製造方法を提供する。

【解決手段】 基板上に堆積された層間絶縁膜の孔部に形成された蓄積電極膜が粗面化されてなるストレージノードが、誘電膜を介してセルプレートとともにキャパシタを構成しているメモリセル構造を備えた半導体メモリの製造方法であり、上記層間絶縁膜にその厚さ方向に沿って孔部を形成し、孔部内及び層間絶縁膜の上面側に蓄積電極膜を形成し、層間絶縁膜の上面側に露出した蓄積電極膜を除去し、孔部内に形成された蓄積電極膜を粗面化し、孔部内及び上記層間絶縁膜の上面側にセルプレートを形成する製造方法において、上記層間絶縁膜の上面側に露出した蓄積電極膜の除去を、上記孔部内に形成された蓄積電極膜を粗面化する前に行なう。



【特許請求の範囲】

【請求項 1】 基板上に堆積された層間絶縁膜の孔部内に形成された蓄積電極膜が粗面化されてなるストレージノードが、誘電膜を介してセルプレートとともにキャパシタを構成しているメモリセル構造を備えた半導体メモリの製造方法において、

上記層間絶縁膜にその厚さ方向に沿って孔部を形成するステップと、

上記孔部内及び層間絶縁膜の上面側に上記蓄積電極膜を形成するステップと、

上記層間絶縁膜の上面側に露出した蓄積電極膜を除去するステップと、

上記孔部内に形成された蓄積電極膜を粗面化するステップと、

上記孔部内及び上記層間絶縁膜の上面側にセルプレートを形成するステップとを有しており、

上記層間絶縁膜の上面側に露出した蓄積電極膜を除去するステップを、上記孔部内に形成された蓄積電極膜を粗面化するステップの前に行なうことを特徴とする半導体メモリの製造方法。

【請求項 2】 更に、上記層間絶縁膜に孔部を形成するステップの前に、該層間絶縁膜の上面全体に、所定以上の耐湿性を有する保護層を形成するステップを有していることを特徴とする請求項 1 記載の半導体メモリの製造方法。

【請求項 3】 上記保護層として SiN からなる層を用いることを特徴とする請求項 2 記載の半導体メモリの製造方法。

【請求項 4】 更に、上記セルプレートを形成するステップの後に、上記メモリセル構造の周辺における回路の上方に形成されたセルプレート及び保護層を同時に除去することを特徴とする請求項 2 又は 3 に記載の半導体メモリの製造方法。

【請求項 5】 基板上に堆積された層間絶縁膜の孔部内に形成された蓄積電極膜が粗面化されてなるストレージノードが、誘電膜を介してセルプレートとともにキャパシタを構成しているメモリセル構造を備えた半導体メモリの製造方法において、

上記層間絶縁膜上に所定以上の耐湿性を有する保護層を形成するステップと、

上記層間絶縁膜にその厚さ方向に沿って孔部を形成するステップと、

上記孔部内及び層間絶縁膜上に形成された保護層の上面側に上記蓄積電極膜を形成するステップと、

上記蓄積電極膜を粗面化するステップと、

上記保護層の上面側に露出した粗面化後の蓄積電極膜を除去するステップと、

上記孔部内及び上記保護層の上面側にセルプレートを形成するステップとを有しており、

上記層間絶縁膜の上面側に露出した蓄積電極膜を除去す

るステップを、上記孔部内に形成された蓄積電極膜を粗面化するステップの前に行なうことを特徴とする半導体メモリの製造方法。

【請求項 6】 基板上に堆積された層間絶縁膜の孔部内に形成された蓄積電極膜が粗面化されてなるストレージノードが、誘電膜を介してセルプレートとともにキャパシタを構成しているメモリセル構造を備えた半導体メモリにおいて、

上記層間絶縁膜上に所定以上の耐湿性を有する保護層が形成されていることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、そのキャパシタの蓄積容量向上のために、セルプレートとともにキャパシタを構成する蓄積電極膜の表面が粗面化されてなるストレージノードを備えた半導体メモリ及びその製造方法に関する。

【0002】

【従来の技術】近年、携帯電話やノート型パーソナルコンピュータ等の携帯機器の小型軽量化が進むにつれ、機器に組み込まれる各種半導体メモリの微細化・大規模化が求められている。なかでも、DRAM (Dynamic Random Access Memory) は代表的なメモリであり、その微細化・大規模化を進めるためには、メモリセル構造を縮小化して、1 ビット当たりのメモリセルが占める面積を小さくすることが必要となる。また、一方、各メモリセルでは、情報を記憶するために、所定以上のキャパシタの蓄積容量を確保する必要がある。最近では、これに対処し得る技術として、誘電膜を介してセルプレートとともにキャパシタを構成するストレージノードの表面をその面積の増大を図り粗面化する粗面化処理がよく用いられるようになってきた。

【0003】

【発明が解決しようとする課題】蓄積電極膜が粗面化されてなるストレージノードを備えた DRAM の製造方法としては、例えば、粗面化処理後に、エッチングにより蓄積電極膜の一部を除去して、該蓄積電極膜を分離・絶縁する方法が知られている。かかる方法では、粗面化処理後の蓄積電極膜の厚さが均一でないことから、エッチングに際して、除去されるべき蓄積電極膜が残ることがある。場合によっては、残った蓄積電極膜が例えばストレージノードとセルプレートとの間で発生するショートの原因となり、メモリのビット不良を引き起こす恐れがある。

【0004】本発明は、蓄積電極膜を確実に除去して、メモリの不良率の低減を実現するメモリセル構造を有する半導体メモリ及びその製造方法を提供することを目的とするものである。

【0005】

【課題を解決するための手段】本願の第 1 の発明は、基

10

20

30

40

50

板上に堆積された層間絶縁膜の孔部内に形成された蓄積電極膜が粗面化されてなるストレージノードが、誘電膜を介してセルプレートとともにキャパシタを構成しているメモリセル構造を備えた半導体メモリの製造方法において、上記層間絶縁膜にその厚さ方向に沿って孔部を形成するステップと、上記孔部内及び層間絶縁膜の上面側に上記蓄積電極膜を形成するステップと、上記層間絶縁膜の上面側に露出した蓄積電極膜を除去するステップと、上記孔部内に形成された蓄積電極膜を粗面化するステップと、上記孔部内及び上記層間絶縁膜の上面側にセルプレートを形成するステップとを有しており、上記層間絶縁膜の上面側に露出した蓄積電極膜を除去するステップを、上記孔部内に形成された蓄積電極膜を粗面化するステップの前に行なうことを特徴としたものである。

【0006】また、本願の第2の発明は、上記第1の発明において、更に、上記層間絶縁膜に孔部を形成するステップの前に、該層間絶縁膜の上面全体に、所定以上の耐湿性を有する保護層を形成するステップを有していることを特徴としたものである。

【0007】更に、本願の第3の発明は、上記第2の発明において、上記保護層としてSiNからなる層を用いることを特徴としたものである。

【0008】また、更に、本願の第4の発明は、上記第2又は第3の発明において、更に、上記セルプレートを形成するステップの後に、上記メモリセル構造の周辺における回路の上方に形成されたセルプレート及び保護層を同時に除去することを特徴としたものである。

【0009】また、更に、本願の第5の発明は、基板上に堆積された層間絶縁膜の孔部内に形成された蓄積電極膜が粗面化されてなるストレージノードが、誘電膜を介してセルプレートとともにキャパシタを構成しているメモリセル構造を備えた半導体メモリの製造方法において、上記層間絶縁膜上に所定以上の耐湿性を有する保護層を形成するステップと、上記層間絶縁膜にその厚さ方向に沿って孔部を形成するステップと、上記孔部内及び層間絶縁膜上に形成された保護層の上面側に上記蓄積電極膜を形成するステップと、上記蓄積電極膜を粗面化するステップと、上記保護層の上面側に露出した粗面化後の蓄積電極膜を除去するステップと、上記孔部内及び上記保護層の上面側にセルプレートを形成するステップとを有しており、上記層間絶縁膜の上面側に露出した蓄積電極膜を除去するステップを、上記孔部内に形成された蓄積電極膜を粗面化するステップの前に行なうことを特徴としたものである。

【0010】また、更に、本願の第6の発明は、基板上に堆積された層間絶縁膜の孔部内に形成された蓄積電極膜が粗面化されてなるストレージノードが、誘電膜を介してセルプレートとともにキャパシタを構成しているメモリセル構造を備えた半導体メモリにおいて、上記層間絶縁膜上に所定以上の耐湿性を有する保護層が形成され

ていることを特徴としたものである。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について、添付図面を参照しながら説明する。

実施の形態1. 図1は、本発明の実施の形態1に係るDRAMメモリセル構造を概略的に示す縦断面説明図である。図1において、符号1はSi基板、2はワード線、3は第1の層間絶縁膜、4はビット線、5は第2の層間絶縁膜、6はストレージノードコンタクト、7は蓄積電極としてのストレージノード、8は第3の層間絶縁膜、9はセルプレートをあらわすものである。また、特に図示しないが、第3の層間絶縁膜の上面には、キャパシタ誘電膜が成膜されている。かかる構成を備えたDRAMメモリセル構造において、ストレージノード、キャパシタ誘電膜及びセルプレートは、記憶に携わる信号の電荷を蓄積するキャパシタを構成する。

【0012】図2の(a)～(g)を参照しながら、上記実施の形態1に係るDRAMメモリセル構造におけるキャパシタの製造方法について説明する。なお、図2では、第2の層間絶縁膜5より下側の構造を省略して示す。まず、図2の(a)に示すように、ストレージノードコンタクト6(図1参照)の形成後、第2の層間絶縁膜5上には、第3の層間絶縁膜8が堆積される。この第3の層間絶縁膜8の材料としては、例えばTEOS(Tetra Ethyle Ortho Silicate)やBPTEOS(Boro Phospho Tetra Ethyle Ortho Silicate: TEOS-O₂系のBPSG膜)が用いられる。

【0013】次に、ストレージノード形成用の写真製版によって、エッチングが行なわれる。このエッチングによって、図2の(b)に示すように、第3の層間絶縁膜8には、その厚さ方向に沿って上面側及び底面側に連通する連通孔8aが形成される。この連通孔8aは、図1からよく分かるように、ストレージノードコンタクト6の端面を含む第2の層間絶縁膜5の上面の一部を該連通孔8aを通じて露出させるべく形成される。

【0014】続いて、図2の(c)に示すように、第3の層間絶縁膜8上には、例えばポリシリコン又はアモルファスシリコンを用いて、蓄積電極膜10が形成される。この場合、第3の層間絶縁膜8に形成された連通孔8aを構成する内壁面および連通孔8aを通じて露出する第2の層間絶縁膜5の上面の一部にも、蓄積電極膜10が形成される。

【0015】更に、写真レジスト・SOG等の処理後に除去可能な保護材13が、蓄積電極膜10が形成された連通孔8aに埋め込まれる。これにより、図2の(d)に示すように、蓄積電極膜10は、第3の層間絶縁膜8の上面及びその近傍のみにおいて露出することになる。

【0016】また、更に、蓄積電極膜10を分離・絶縁するために、エッチングによって、第3の層間絶縁膜8の上面側に形成されていた蓄積電極膜10が除去され

る。第2の層間絶縁膜5の上面の一部を含む連通孔8aの内部に形成された蓄積電極膜10を保護する保護材13が除去されると、図2の(e)に示すような蓄積電極膜10が得られる。

【0017】更に、続いて、蓄積電極膜10に粗面化処理が施される。そして、必要があれば、エッチング等の処理により蓄積電極膜10の形状が調整された上で、この蓄積電極膜10を電極とするために、注入やアニール等の処理が施される。以上で、図2の(f)に示すようなストレージノード7が完成する。なお、本発明の各実施の形態に係って参照される図1~5では、粗面化処理前後の変化を概念的にあらわすために、粗面化処理が施された後の蓄積電極膜10をストレージノード7として、円の集合で描くようにした。

【0018】そして、例えばON膜(SiO_2 と Si_3N_4 の積層膜)又は Ta_2O_5 膜を用いてキャパシタ誘電膜(不図示)が第3の層間絶縁膜8上に成膜された後、ストレージノード7が形成された連通孔8a内およびキャパシタ誘電膜上に、ポリシリコンを用いて、セルプレート9が形成される。以上で、図2の(g)に示すようなDRAMメモリセル構造におけるキャパシタが得られる。

【0019】この実施の形態1では、蓄積電極膜10の粗面化処理(図2の(f)参照)前に、蓄積電極膜10を分離・絶縁するためのエッチングを行なうことにより、その対象となる膜厚が均一であるため、ムラのない良好なエッチングを行なうことが可能となり、ストレージノード7とセルプレート9との間で生じるショートの原因となる蓄積電極膜10の残りの発生を抑制することができる。これにより、メモリの不良率を低減し、製品の生産性を向上させることが可能である。

【0020】以下、本発明の別の実施の形態について説明する。なお、以下の説明では、上記実施の形態1における場合と同じものについては、同一の符号を付し、それ以上の説明を省略する。

実施の形態2。粗面化処理前にエッチングを行なう場合には、従来のように粗面化処理前にエッチングを行なう場合と比べて、第3の層間絶縁膜8がその上面側で湿気等の外界に曝される頻度が多くなり、外界の影響による第3の層間絶縁膜8の後退が懸念されるが、これに対処すべく、本発明の実施の形態2では、第3の層間絶縁膜8上に、耐湿性の比較的高い保護膜が予め形成される。

【0021】図3の(a)~(g)を参照しながら、この実施の形態2に係るDRAMメモリセル構造におけるキャパシタの製造方法について説明する。まず、ストレージノードコンタクト6(図1参照)の形成後、第2の層間絶縁膜5上に、例えばTEOS又はBPTEOSを用いて、第3の層間絶縁膜8が堆積される。更に、この絶縁膜上に、図3の(a)に示すように、耐湿性の比較的高い保護膜21が形成される。この保護膜としては、

SiN保護膜(窒化シリコン膜)が用いられる。

【0022】次に、ストレージノード形成用の写真製版により、エッチングが行なわれる。このエッチングによって、図3の(b)に示すように、第3の層間絶縁膜8には、その厚さ方向に沿って上面側及び底面側に連通する連通孔8aが形成される。この連通孔8aは、図1からよく分かるように、ストレージノードコンタクト6の端面を含む第2の層間絶縁膜5の上面の一部を該連通孔8aを通じて露出させるべく形成される。

【0023】続いて、図3の(c)に示すように、第3の層間絶縁膜8上には、例えばポリシリコン又はアモルファスシリコンを用いて、蓄積電極膜10が形成される。この場合、第3の層間絶縁膜8に形成された連通孔8aを構成する内壁面および連通孔8aを通じて露出する第2の層間絶縁膜5の上面の一部にも、蓄積電極膜10が形成される。

【0024】更に、写真レジスト・SOG等の処理後に除去可能な保護材が、蓄積電極膜10が形成された連通孔8aに埋め込まれる。これにより、図3の(d)に示すように、蓄積電極膜10は、第3の層間絶縁膜8の上面及びその近傍のみにおいて露出することになる。

【0025】また、更に、蓄積電極膜10を分離・絶縁するために、エッチングによって、第3の層間絶縁膜8の上面側に露出した蓄積電極膜10が除去される。第2の層間絶縁膜5の上面の一部を含む連通孔8aの内部に形成された蓄積電極膜10を保護していた保護材13が除去されると、図3の(e)に示すような蓄積電極膜10が得られる。

【0026】続いて、蓄積電極膜10に粗面化処理が施される。そして、必要があれば、エッチングにより蓄積電極膜10の形状が調整された上で、この蓄積電極膜10を電極とするために、注入やアニール等の処理が施される。以上で、図3の(f)に示すようなストレージノード7が完成する。また、この実施の形態2では、第3の層間絶縁膜8上にSiN保護膜21が形成されているため、必要があれば、粗面処理後に、更にドライエッチングを行なってもよい。このドライエッチングにより、ストレージノード7の粗面における異物や第3の層間絶縁膜8上になお残る蓄積電極膜10を確実に除去することができる。

【0027】そして、例えばON膜(SiO_2 と Si_3N_4 の積層膜)若しくは Ta_2O_5 膜等を用いてキャパシタ誘電膜(不図示)がSiN保護膜21上に成膜された後、ストレージノード7が形成された連通孔8a内およびSiN保護膜21上に、ポリシリコンを用いて、セルプレート9が形成される。以上で、図3の(g)に示すようなDRAMメモリセル構造におけるキャパシタが得られる。

【0028】この実施の形態2では、第3の層間絶縁膜8上に、耐湿性の比較的高いSiN保護膜21が蓄積電

10

20

30

40

50

極膜10の形成前に予め形成されるため、第3の層間絶縁膜8の上面が、それ以降の処理の間に、湿気等の外界に曝されることはない。これにより、外界の影響から第3の層間絶縁膜8を保護し、その後退を防止することができる。

【0029】次に、図3を参照して説明したメモリセル構造の周辺回路上に形成されたセルプレート9及びSiN保護膜21の除去方法について説明する。図4は、図3の製造フローに継続するセルプレート9及びSiN保護膜21の除去フローを示す説明図である。図4の

(a)に示す段階で、セルプレート9及びSiN保護膜21は、第3の層間絶縁膜8の上面全体を覆っている。メモリセル構造の周辺回路上に形成されたセルプレート9及びSiN保護膜21を除去するために、写真製版により、図4の(b)に示すように、メモリセル構造の上方部分に、エッチング保護膜25が形成される。そして、エッチング保護膜25に保護されていないセルプレート9及びSiN保護膜21の両方がドライエッチングにより同時に除去される。以上で、図4の(c)に示すように、メモリセル構造の周辺回路上に形成されたセルプレート9及びSiN保護膜21が除去される。このようにして、セルプレート9及びSiN保護膜21が、周辺回路のメタルとのコンタクト形成用のエッチングに影響する恐れをなくすることができる。

【0030】実施の形態3. 更に、図5の(a)～(g)を参照しながら、本発明の実施の形態3に係るDRAMメモリセル構造のキャパシタの製造方法について説明する。この実施の形態3では、上記実施の形態2における場合と同様に、第3の層間絶縁膜8上にSiN保護膜21が形成されるが、ここでは、従来知られた工程順序、すなわち、蓄積電極膜10の粗面化処理後にエッチングを行なう順序で製造が実施される。

【0031】まず、図5の(a)に示すように、ストレージノードコンタクト6(図1参照)の形成後、第2の層間絶縁膜5上に、TEOS又はBPTEOSを用いて、第3の層間絶縁膜8が堆積され、また、この絶縁膜8上には、耐湿性が比較的高いSiN保護膜21が形成される。

【0032】次に、ストレージノード形成用の写真製版により、エッチングが行なわれる。このエッチングによって、図5の(b)に示すように、第3の層間絶縁膜8には、その厚さ方向に沿って上面側及び底面側に連通する連通孔8aが形成される。この連通孔8aは、図1からよく分かるように、ストレージノードコンタクト6の端面を含む第2の層間絶縁膜5の上面の一部を該連通孔8aを通じて露出させるべく形成される。

【0033】続いて、図5の(c)に示すように、第3の層間絶縁膜8の上面側には、例えばポリシリコン又はアモルファスシリコンを用いて、蓄積電極膜10が形成される。この場合、第3の層間絶縁膜8に形成された連

通孔8aを構成する内壁面および連通孔8aを通じて露出する第2の層間絶縁膜5の上面の一部にも、蓄積電極膜10が形成される。

【0034】更に、キャパシタ蓄積容量を増大すべく、蓄積電極膜10に粗面化処理が施され、図5の(d)に示すようなストレージノード7が得られる。その後、写真レジスト・SOG等の処理後に除去可能な保護材13が、ストレージノード7が形成された連通孔8aに埋め込まれる。これにより、図5の(e)に示すように、ストレージノード7は、第3の層間絶縁膜8の上面及びその近傍のみにおいて露出することになる。

【0035】更に、ストレージノード7を分離・絶縁するために、エッチングによって、第3の層間絶縁膜8の上面側に露出したストレージノード7が除去される。この実施の形態3では、第3の層間絶縁膜8の上面にSiN保護膜21が予め形成されているため、エッチングに際して、ストレージノード7が残らないレベルまで、エッチング量を大きく設定することができ、これにより、第3の層間絶縁膜8の上面側に露出したストレージノード7を確実に除去することができる。第2の層間絶縁膜5の上面の一部を含む連通孔8aの内部に形成されたストレージノード7を保護していた保護材13が除去されると、図5の(f)に示すようなストレージノード7が得られる。その後、必要があれば、エッチング等の処理によりストレージノード7の形状が調整された上で、このストレージノード7を電極とするために、注入やアニール等の処理が施される。

【0036】そして、例えばON膜(SiO₂とSi₃N₄の積層膜)又はTa₂O₅膜を用いてキャパシタ誘電膜(不図示)がSiN保護膜21上に成膜された後、ポリシリコンを用いて、セルプレート9が形成される。以上で、図5の(g)に示すようなDRAMメモリセル構造のキャパシタが得られる。

【0037】この実施の形態3では、従来知られるように粗面化処理後にエッチングを行なうものの、第3の層間絶縁膜8の上面にSiN保護膜21が予め形成されていることから、第3の層間絶縁膜8の上面側に露出したストレージノード7を除去するためのエッチングに際して、膜厚の均一でないストレージノード7が残らないレベルまで、エッチング量を大きく設定することができ、これにより、第3の層間絶縁膜8の上面側に露出したストレージノード7を確実に除去することができる。その結果、メモリの不良率を低減し、製品の生産性を向上させることが可能である。

【0038】なお、本発明は、例示された実施の形態に限定されるものでなく、本発明の要旨を逸脱しない範囲において、種々の改良及び設計上の変更が可能であることは言うまでもない。

【0039】

【発明の効果】本願の請求項1の発明によれば、基板上

に堆積された層間絶縁膜の孔部内に形成された蓄積電極膜が粗面化されてなるストレージノードが、誘電膜を介してセルプレートとともにキャパシタを構成しているメモリセル構造を備えた半導体メモリの製造方法において、上記層間絶縁膜にその厚さ方向に沿って孔部を形成するステップと、上記孔部内及び層間絶縁膜の上面側に上記蓄積電極膜を形成するステップと、上記層間絶縁膜の上面側に露出した蓄積電極膜を除去するステップと、上記孔部内に形成された蓄積電極膜を粗面化するステップと、上記孔部内及び上記層間絶縁膜の上面側にセルプレート

を形成するステップとを有しており、上記層間絶縁膜の上面側に露出した蓄積電極膜を除去するステップを、上記孔部内に形成された蓄積電極膜を粗面化するステップの前に行なうので、除去すべき蓄積電極膜の厚さが均一であるため、例えば、蓄積電極膜を確実に除去することができる。その結果、メモリの不良率を低減し、製品の生産性を向上させることが可能である。

【0040】また、本願の請求項2の発明によれば、上記層間絶縁膜に孔部を形成する前に、該層間絶縁膜の上面全体に、所定以上の耐湿性を有する保護層を形成するので、湿気等の外界の影響から層間絶縁膜を保護し、その後退を防止することができる。また、この発明によれば、必要に応じて、粗面化処理後に、更にドライエッチングを行ない、孔部内のストレージノードの粗面における異物を除去するとともに、基板上に堆積された層間絶縁膜上の蓄積電極膜を一層確実に除去することができる。

【0041】更に、本願の請求項3の発明によれば、保護層として耐湿性が比較的高いSiNからなる層を用いるので、湿気等の外界の影響から層間絶縁膜を確実に保護し、その後退を防止することができる。

【0042】また、更に、本願の請求項4の発明によれば、上記セルプレートを形成した後に、メモリセル構造の周辺における回路の上方に形成されたセルプレート及び保護層を同時に除去するので、上記セルプレート及び保護膜が、メモリセル構造の周辺における回路の金属とのコンタクト形成用のエッチングに影響する惧れをなくすることができる。

【0043】また、更に、本願の請求項5の発明によれば、基板上に堆積された層間絶縁膜の孔部内に形成された蓄積電極膜が粗面化されてなるストレージノードが、誘電膜を介してセルプレートとともにキャパシタを構成

しているメモリセル構造を備えた半導体メモリの製造方法において、上記層間絶縁膜上に所定以上の耐湿性を有する保護層を形成するステップと、上記層間絶縁膜にその厚さ方向に沿って孔部を形成するステップと、上記孔部内及び層間絶縁膜上に形成された保護層の上面側に上記蓄積電極膜を形成するステップと、上記蓄積電極膜を粗面化するステップと、上記保護層の上面側に露出した粗面化後の蓄積電極膜を除去するステップと、上記孔部内及び上記保護層の上面側にセルプレートを形成するステップとを有しており、上記層間絶縁膜の上面側に露出した蓄積電極膜を除去するステップを、上記孔部内に形成された蓄積電極膜を粗面化するステップの前に行なうので、従来知られる製造方法の工程順序で、例えばエッチングを用いて蓄積電極膜を除去する場合に、そのエッチング量を大きくすることが可能となり、その結果、蓄積電極膜を確実に除去することができる。

【0044】また、更に、本願の請求項6の発明によれば、基板上に堆積された層間絶縁膜の孔部内に形成された蓄積電極膜が粗面化されてなるストレージノードが、誘電膜を介してセルプレートとともにキャパシタを構成しているメモリセル構造を備えた半導体メモリにおいて、上記層間絶縁膜上に所定以上の耐湿性を有する保護層が形成されているので、湿気等の外界の影響から層間絶縁膜を保護し、その後退を防止することができる。

【図面の簡単な説明】

【図1】 一般的な半導体メモリのメモリセル構造を概略的に示す縦断面説明図である。

【図2】 本発明の実施の形態1に係る半導体メモリのキャパシタの製造フローを示す説明図である。

【図3】 本発明の実施の形態2に係る半導体メモリのキャパシタの製造フローを示す説明図である。

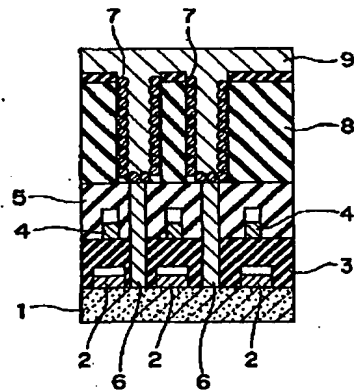
【図4】 図3の製造フローに継続するセルプレート及びSiN保護膜の除去フローを示す説明図である。

【図5】 本発明の実施の形態3に係る半導体メモリのキャパシタの製造フローを示す説明図である。

【符号の説明】

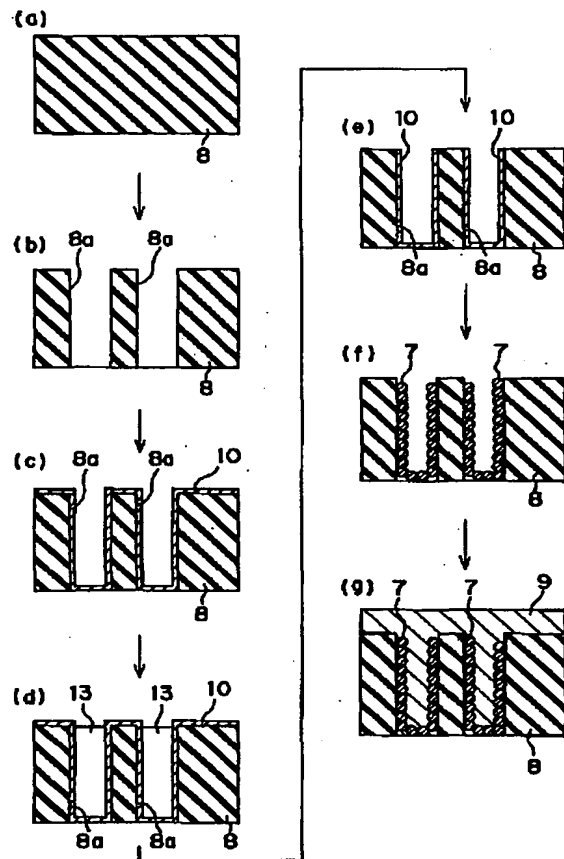
1 Si基板, 2 ワード線, 3 第1の層間絶縁膜, 4 ビット線, 5 第2の層間絶縁膜, 6 ストレージノードコンタクト, 7 ストレージノード, 8 第3の層間絶縁膜, 9 セルプレート, 10 蓄積電極膜, 21 SiN保護膜, 25 エッチング保護膜

【図1】

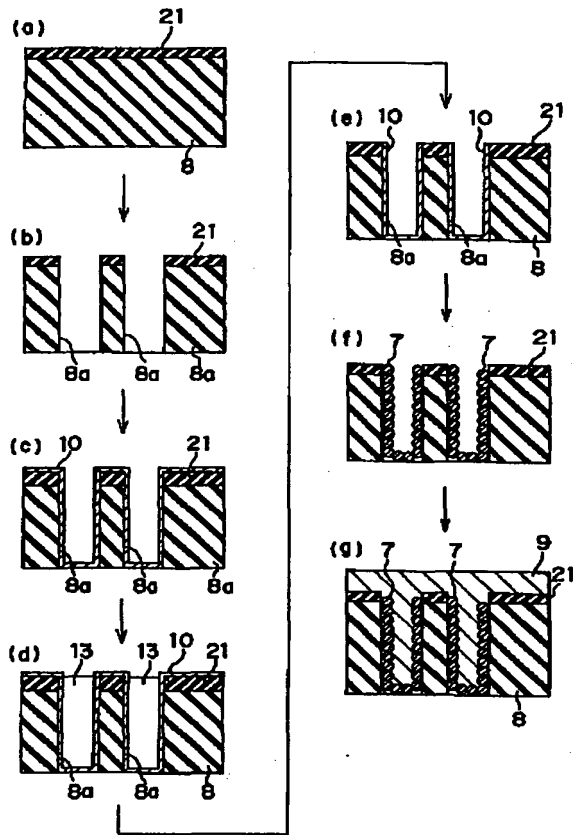


- 1: Si 基板 6: ストレージノードコンタクト
 2: ワード線 7: ストレージノード
 3: 第1の層間絶縁膜 8: 第3の層間絶縁膜
 4: ビット線 9: セルプレート
 5: 第2の層間絶縁膜

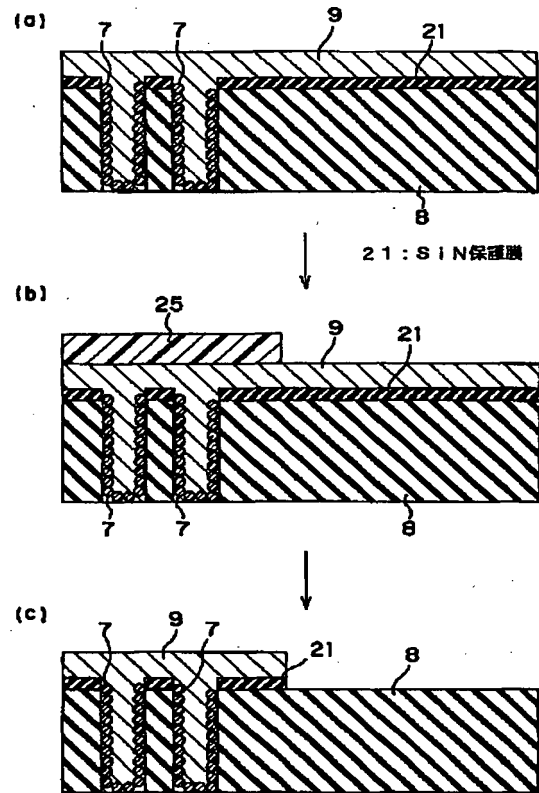
【図2】



【図3】



【図4】



【図5】

